

(2) Japanese Patent Application Laid-Open No. 10-289095 (1998)

“Multi-Bit Comparator, Cache Memory, Microcomputer, and Data Processor”

The following is an extract relevant to the present application.

5

This invention is to achieve a fast operation of a multi-bit comparator.

A plurality of bit comparators (61-0 to 61-n) for comparing a first data group and a second data group in units of bit, and an OR circuit 45 which is activated based on a logical state of an arbitrary one bit among comparison results from said plurality of bit comparators and which obtains, in the activated state, logical OR of all bits among said plurality of bit comparators except said arbitrary one bit are provided. This eliminates the need for specially forming a clock signal for timing control, and margin setting or the like of the clock signal for timing control becomes unnecessary. Accordingly, it is possible to achieve speed-up of multi-bit comparison operation.

15

特開平10-289095

(43)公開日 平成10年(1998)10月27日

(2)

(51)Int.Cl.
G06F 7/04
12/08

識別記号

F I
G06F 7/04
12/08G
E

審査請求 未請求 請求項の数 6 O L (全10頁)

(21)出願番号 特願平9-97206

(22)出願日 平成9年(1997)4月15日

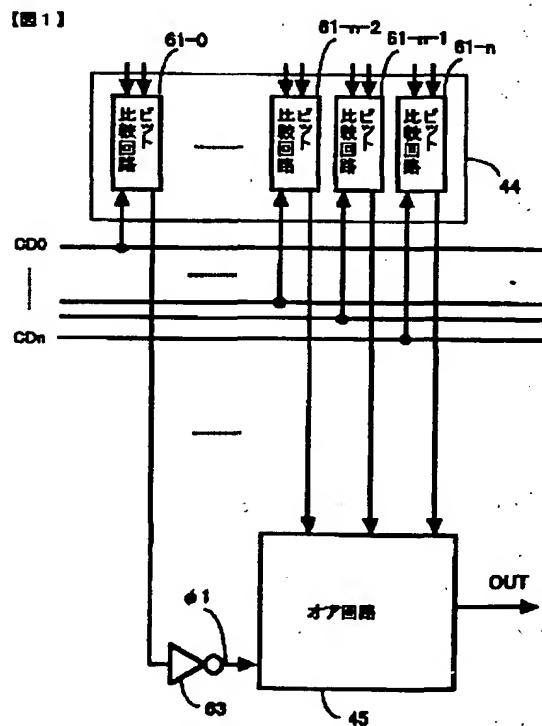
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 鈴木 武史
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 藤村 康弘
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74)代理人 弁理士 玉村 静世

(54)【発明の名称】多ビット比較回路、キャッシュメモリ、マイクロコンピュータ、及びデータ処理装置

(57)【要約】

【課題】 多ビット比較回路の高速動作を図ることにある。

【解決手段】 第1データ群と第2データ群とをビット単位で比較するための複数のビット比較回路 (61-0 ~ 61-n) と、上記複数のビット比較回路からの比較結果のうちの任意の1ビットの論理状態に基づいて活性化され、且つ、活性化された状態で、上記複数のビット比較回路のうちの上記任意の1ビットを除く全てのビットの論理和を得るためにオア回路 (45) とを設けることで、タイミング制御のためのクロック信号を特別に形成する必要が無く、そして、タイミング制御のためのクロック信号のマージン設定などが不要とされるから、多ビット比較動作の高速化を図ることができる。



【特許請求の範囲】

【請求項1】 複数ビット構成の第1データ群と、それに対応して複数ビット構成とされた第2データ群とをビット単位で同時に比較するための多ビット比較回路において、

上記第1データ群及び上記第2データ群のビット構成に対応して配置され、それぞれ上記第1データ群と、上記第2データ群とをビット単位で比較するための複数のビット比較回路と、

上記複数のビット比較回路からの比較結果のうちの任意の1ビットの論理状態に基づいて活性化され、且つ、活性化された状態で、上記複数のビット比較回路のうちの上記任意の1ビットを除く全てのビットの論理和を得るためにオア回路と、

を含むことを特徴とする多ビット比較回路。

【請求項2】 上記オア回路は、上記複数のビット比較回路に対応して配置され、且つ、互いに並列接続された第1MOSトランジスタと、

上記第1MOSトランジスタのドレン電極に結合されたゲート電極を有する第2MOSトランジスタと、

上記第1MOSトランジスタのソース電極、及び上記第2トランジスタのソース電極に共通接続された電流源MOSトランジスタとを有し、

上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ビットを伝達可能に構成されて成る請求項1記載の多ビット比較回路。

【請求項3】 上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ビットを伝達するためのゲート回路を設けた請求項2記載の多ビット比較回路。

【請求項4】 同一物理アドレスのデータが存在するか否かを判別するためのシノニムチェック部を含み、仮想アドレスの情報を検索情報とするキャッシュメモリにおいて、

上記シノニムチェック部は、シノニムチェックのための情報が記憶されるメモリセルアレイと、上記メモリセルアレイから出力された信号を増幅するためのセンスアンプと、上記センスアンプの出力信号と、比較データとをビット単位で比較するための比較手段とを含み、

上記比較手段として、請求項1乃至3のいずれか1項記載の多ビット比較回路を適用して成るキャッシュメモリ。

【請求項5】 請求項4記載のキャッシュメモリと、仮想アドレスを物理アドレスに変換するための変換対を格納するアドレス変換バッファと、上記キャッシュメモリとアドレス変換バッファとを制御するコントロールユニットとを含んで1チップ化されたことを特徴とするマイクロコンピュータ。

【請求項6】 請求項5記載のマイクロコンピュータ

と、バスを介して上記マイクロコンピュータによってアクセスされるメインメモリとを含んで成ることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多ビットデータを同時に比較するための比較技術に関し、例えば、キャッシュメモリ、マイクロコンピュータ、さらにはデータ処理装置に適用して有効な技術に関する。

【0002】

【従来の技術】マイクロコンピュータなどのデータ処理装置の処理性能を向上させるために、キャッシュメモリを内蔵する手法が従来から適用されている。また、ユーザが実メモリを意識せずに、オペレーティングシステムがメモリ管理を行う分野では、データ処理装置が、アドレス変換機構をサポートする必要がある。アドレス変換機構とは、仮想記憶を実現するために仮想アドレスを物理アドレスに変換する機構である。

【0003】さらに、アドレス変換機構を高速に実行するため、仮想アドレスと物理アドレスの変換対を保持するアドレス変換バッファ(Translation lookaside buffer、以下単にTLBとも記す)を、マイクロコンピュータに内蔵する技術も従来から採用されている。

尚、キャッシュメモリについて記載された文献の例としては、1995年1月5日に朝倉書店から発行された「計算機アーキテクチャと構成方式(第273頁から第308頁)」がある。

【0004】

【発明が解決しようとする課題】マイクロコンピュータに内蔵されるようなキャッシュメモリでは、仮想アドレスによってアクセスされ、当該キャッシュメモリのタグ部から読み出されたタグ情報を、物理アドレスの上位ビットと比較することで、キャッシュミス・ヒットの判定を行うようにしているため、シノニム(synonym)の問題がある。つまり、本来の実メモリであるメインメモリのブロックのコピーを保持しているにもかかわらず、それを仮想アドレスでアクセスしようとすることによってシノニムの問題を生ずる。そこで、キャッシュメモリ中に同一物理アドレスのデータが複数存在する事態を防止

するため、キャッシュメモリのタグ部と基本的に同一内容の情報を記憶するシノニムチェック部が設けられる。同一物理アドレスのデータが存在するか否かの判別はこのシノニムチェック部において行われ、その判別結果に基づいて、キャッシュメモリのライト時の動作が制御される。つまり、キャッシュミス時のライト動作において、同一物理アドレスのデータが既に存在する場合には、キャッシュメモリ中に同一物理アドレスのデータが複数存在する事態を防止するため、既にデータ部に格納されているデータのうち、当該物理アドレスについてのデータが無効とされ、代わりにメインメモリから読み出

された新たなデータによってキャッシュメモリが更新される。

【0005】上記シノニムチェック部には、物理アドレスに基づいてメモリセルアレイから読み出された36ビットデータを比較データと比較するための比較回路が設けられている。比較データは物理アドレスの上位複数ビットとされる。メモリセルアレイから読み出された36ビットデータと比較データとの比較はビット単位に同時に行われ、そしてその36ビット分の比較結果のオア論理が後段のオア回路でとられることにより、全ピット一致か否かが検出される。メモリセルアレイから読み出された36ビットデータと比較データとの比較において、全てのピットが一致するれば、それは、キャッシュメモリ中に同一物理アドレスのデータが複数存在することを意味するから、既にデータ部に格納されているデータのうち、当該物理アドレスについてのデータが無効とされ、代わりにメインメモリから読み出された新たなデータが取込まれる。

【0006】上記のデータ比較はスタティック回路もしくはダイナミック回路により構成することができる。

【0007】しかしながら、スタティック回路を採用した場合には回路が複雑にならざるを得ず、回路段数が多くなるため、多ビット比較結果の信号遅延が無視できなくなる。多ビット比較結果の信号遅延は、シノニムチェックの時間短縮を阻害するから、結果的にキャッシュメモリのアクセス時間の短縮を阻害する。

【0008】また、データ比較にダイナミック回路を採用した場合には、データ比較の前に線路をプリチャージする必要があるから、プリチャージタイミングを規制するためのクロック信号が必要とされ、しかも、そのプリチャージのための所定のタイミングマージンを確保する必要があるため、比較結果が得られるまでに時間がかかり、キャッシュメモリのアクセス時間の短縮を阻害する。

【0009】本発明の目的は、比較動作の高速化を図った多ビット比較回路を提供することにある。

【0010】また、本発明の別の目的は、そのような多ビット比較回路を備えたキャッシュメモリ、マイクロコンピュータ、及びデータ処理装置を提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】すなわち、第1データ群及び第2データ群のビット構成に対応して配置され、それぞれ上記第1データ群と、上記第2データ群とをビット単位で比較する

ための複数のビット比較回路(61-1~61-n)と、上記複数のビット比較回路からの比較結果のうちの任意の1ピットの論理状態に基づいて活性化され、且つ、活性化された状態で、上記複数のビット比較回路のうちの上記任意の1ピットを除く全てのピットの論理和を得るためにオア回路(45)とを含んで多ビット比較回路を構成する。

【0014】それによれば、上記複数のビット比較回路からの比較結果のうちの任意の1ピットの論理状態を利用して、オア回路の活性及び非活性の切り換えが可能とされるから、プリチャージ動作のタイミング制御のためのクロック信号が不要であり、上記クロック信号のタイミングマージンも不要となる。しかも、スタティック回路で多ビット比較回路を形成する場合に比べて回路段数を削減することができる。このことが、多ビット比較回路の動作の高速化を達成する。

【0015】このとき、上記複数のビット比較回路に対応して配置され、且つ、互いに並列接続された第1MOSトランジスタ(Q27~Q29)と、上記第1MOSトランジスタのドレン電極に結合されたベース電極を有する第2MOSトランジスタ(Q25)と、上記第1MOSトランジスタのソース電極、及び上記第2トランジスタのソース電極に共通接続された電流源MOSトランジスタ(Q26)とを設け、上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ピットを伝達可能に構成することで、上記オア回路を容易に形成することができる。

【0016】また、上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ピットを伝達するためのゲート回路(63)を設けた場合には、活性化信号がアクティブになるタイミングを当該ゲート回路での信号遅延を利用して若干遅らせることができ、複数のビット比較回路からの出力論理が決定された後に、オア回路を活性化することができる、オア回路での誤動作を排除することができる。

【0017】同一物理アドレスのデータが存在するか否かを判別するためのシノニムチェック部(75)を含み、仮想アドレスの情報を検索情報とするキャッシュメモリ(10)において、上記シノニムチェック部が、シノニムチェックのための情報が記憶されるメモリセルアレイ(42)と、上記メモリセルアレイから出力された信号を増幅するためのセンスアンプ(43)と、上記センスアンプの出力信号と、比較データとをビット単位で比較するための比較手段とを含んで構成されるとき、上記比較手段として、上記のように高速化された多ビット比較回路を適用することにより、キャッシュメモリの高速化を達成する。

【0018】そして、そのように高速動作可能なキャッ

シュメモリ(10)と、仮想アドレスを物理アドレスに変換するための変換対を格納するアドレス変換バッファ(11)と、上記キャッシュメモリとアドレス変換バッファとを制御するコントロールユニット(12)とを含んでマイクロコンピュータ(31)を構成することにより、命令フェッチなどの時間短縮が可能となり、マイクロコンピュータの演算処理の高速化を達成する。

【0019】さらに、そのように演算処理の高速化が図られたマイクロコンピュータと、バスを介して上記マイクロコンピュータによってアクセスされるメインメモリ(33)とを含んでデータ処理装置を構成することにより、データ処理の高速化を達成する。

【0020】

【発明の実施の形態】図5には本発明にかかるデータ処理装置の一例であるコンピュータシステムが示される。

【0021】このコンピュータシステムは、システムバスBUSを介して、マイクロコンピュータ31、SDRAM(シンクロナス・ダイナミック・ランダム・アクセス・メモリ)32、SRAM33(ステティック・ランダム・アクセス・メモリ)、ROM(リード・オンリ・メモリ)34、周辺装置制御部35、表示制御部36などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行う。上記マイクロコンピュータ31は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込み受付け、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記SDRAM32や、SRAM33、及びROM34は内部記憶装置として位置付けられている。SDRAM32は、マイクロコンピュータ31での計算や制御における作業領域として利用される。SRAM33はマイクロコンピュータ31で実行されるプログラムなどがロードされるメインメモリとして機能する。ROM34には読み出し専用のプログラムが格納される。周辺装置制御部35によって、ハードディスクなどの外部記憶装置38の動作制御や、キーボード39などからの情報入力制御が行われる。また、上記表示制御部36によってCRTディスプレイ40への情報表示制御が行われる。この表示制御部36には描画処理のための半導体チップや画像メモリなどが含まれる。

【0022】図6には上記マイクロコンピュータ31の構成例が示される。このマイクロコンピュータ31は、特に制限されないがキャッシュメモリ10、アドレス変換バッファ(以下単に「TLB」ともいう)11、コントロールユニット12、及び周辺モジュール13を内蔵し、それらが内部バス14、15などに結合されて、一つの半導体基板に形成されて成る。

【0023】コントロールユニット12は、中央処理装置、バスコントローラ、上記キャッシュメモリ10及び

10

20

30

40

50

TLB11の制御回路、外部インターフェース回路などの機能を総称する回路ブロックであり、同図には内外との入出力制御機能を代表する回路ブロックとして内部コントローラ121と外部バスコントローラ122が示される。上記内部バス14にはキャッシュメモリ10、TLB11、内部コントローラ121が接続され、内部バス15にはTLB11、周辺モジュール13、外部バスコントローラ122が接続される。周辺モジュール13は、それぞれ図示しないタイマ、シリアルコミュニケーションインターフェース、RAM(ランダムアクセスメモリ)、ROM(リードオンリメモリ)、及びDMAC(ダイレクトメモリアクセスコントローラ)などの適宜の周辺回路が含まれる。同図において16はキャッシュメモリ10に対する制御信号線群、17はTLB11に対する制御信号線群、18はTLB11と周辺回路モジュール13との間の制御信号線群、19は周辺モジュール13に対する制御信号線群、20はキャッシュメモリ10とTLB11との間の制御信号線群である。本構成例のマイクロコンピュータ31は、特に制限されない

が、システムバスBUSを介してSRAM33に接続される。この構成例において、仮想記憶を実現するためのアドレス変換機構は、TLB11及びそれを制御するためのコントロールユニット12内の回路から構成される。

【0024】図7には、上記キャッシュメモリ10の構成例が示される。

【0025】図7に示されるように、キャッシュメモリ10は、タグ部72、データ部73、比較部74、シノニムチェック部75を含む。

【0026】仮想アドレスがタグ部72及びデータ部73に入力され、当該仮想アドレスに対応する物理アドレスが比較部74、シノニムチェック部75に入力される。仮想アドレスに基づいてタグ部72からタグ情報が読み出され、それが比較部74に伝達される。比較部74では、タグ部72から出力されたタグ情報と、上記物理アドレスとが比較される。この比較において、タグ部72から出力されたタグ情報と、上記物理アドレスとが一致していればキャッシュヒット、不一致であればキャッシュミスとされる。キャッシュヒットの場合には、当該仮想アドレスに対応するデータがデータ部73から読み出されるが、キャッシュミスの場合、データ部73からのデータ読み出しが行われない。その場合、SRAM33(図6参照)から新たなデータ取り込みが行われ、そのデータによってキャッシュメモリの内容が更新される。

【0027】また、キャッシュメモリ中に同一物理アドレスのデータが複数存在する事態を防止するため、物理アドレスが入力された場合に、当該物理アドレスに基づいてシノニムチェック部75内のメモリセルアレイから読み出された情報と、当該物理アドレスから作り出され

た比較データとがビット単位で比較されるようになって いる。比較データは物理アドレスの上位複数ビットとされ、下位複数ビットはシノニムチャック回路75内のメモリアクセスに使用される。キャッシュミス時のライト動作において、同一物理アドレスのデータが既に存在する場合には、キャッシュメモリ中に同一物理アドレスのデータが複数存在する事態を防止するため、既にデータ部に格納されているデータのうち、当該物理アドレスについてのデータが無効とされ、代わりに新たなデータが取込まれる。

【0028】図4には上記シノニムチェック部75の構成例が示される。

【0029】図4に示されるようにシノニムチェック部75は、複数のスタティック型メモリセルが配列されて成るメモリセルアレイ42、アドレスAdrをデコードするためのデコーダ41、上記メモリセルアレイ42から読み出された信号を増幅するためのセンスアンプ43、このセンスアンプ43の出力信号と比較データCD0～CDnとをビット単位に比較するための比較部44、この比較部44からの複数ビットの比較結果の論理和を求めるオア回路45とを含んで成る。オア回路45の出力OUTは、シノニムチェック部75のチェック結果としてデータ部73に伝達される(図7参照)。上記デコーダ41に入力されるアドレスは、物理アドレスの下位複数ビットとされ、上記比較部44に入力される比較データCD0～CDnは、物理アドレスの上位複数ビットとされる。

【0030】尚、実際には、図4に示される構成回路が複数セット設けられる。例えば、キャッシュのアクセスに仮想アドレスを3ビット使用する場合、1つの物理アドレスに対し2の3乗個、つまり8個の仮想空間が存在し、4ウェイ・セットアソシアティブ形式の場合には32個(=8×4)の仮想空間が存在するため、シノニムチェックのためには、この仮想空間に対応して、図4に示される回路構成が32個設けられ、キャッシュがアクセスされる毎に、それをおいて上記のシノニムチェック動作が行われる。

【0031】図1には上記比較部44の構成例、及びそれとオア回路45との関係が示される。

【0032】図1に示されるように、比較部44は、メモリセルアレイ42から同時に読み出されるビット数に対応する複数個のビット比較回路61-1～61-nから成る。複数個のビット比較回路61-1～61-nには、それぞれ対応する比較データCD0～CDnが入力され、メモリセルアレイ42から同時に読み出され、上記センスアンプ43で増幅された信号と、比較データCD0～CDnとのビット単位での論理比較が行われるようになっている。特に制限されないが、メモリセルアレイ42から同時に読み出されるのが36ビットとされるとき、ビット比較回路61-0～61-nの数はそれに

対応して36個とされる。そのうちの任意のビット比較回路例えばビット比較回路61-0の比較結果のみが、インバータ63により反転されてから、オア回路45の活性化信号φ1としてオア回路45に入力されるようになっている。また、このビット比較回路61-0を除くビット比較回路、すなわち、ビット比較回路61-1～61-nの比較結果は、それらの論理和を求めるために、オア回路45に入力される。

【0033】図2には、複数のビット比較回路61-0～61-nのうち、ビット比較回路61-0の構成例が代表的に示される。

【0034】図2に示されるように、ビット比較回路61-0は、nチャンネル型MOSトランジスタQ31とpチャンネル型MOSトランジスタQ32とが並列接続され、nチャンネル型MOSトランジスタQ33とpチャンネル型MOSトランジスタQ34とが並列接続され、それに、比較データCD0によって上記MOSトランジスタQ31～Q34を動作制御するためのインバータ50, 51が結合されて成る。比較データCD0はインバータ50によって反転されてから、nチャンネル型MOSトランジスタQ31のゲート電極、及びpチャンネル型MOSトランジスタQ34のゲート電極に伝達される。また、インバータ50の出力信号は、後段のインバータ51で反転されてから、pチャンネル型MOSトランジスタQ32のゲート電極、及びnチャンネル型MOSトランジスタQ33のゲート電極に伝達される。センスアンプ43からの出力信号が相補レベルのデータ線D, D*(*は信号反転又はローアクティブを意味する)を介して伝達されるとき、データ線DはMOSトランジスタQ31, Q32に結合され、データ線D*はMOSトランジスタQ33, Q34に結合される。センスアンプ43からの出力信号と0番目の比較データとが一致する場合には、このビット比較回路61-0の出力信号はローレベルとされ、それとは逆に、センスアンプ43からの出力信号と0番目の比較データとが不一致の場合には、ビット比較回路61-0の出力信号はハイレベルとされる。

【0035】比較データCD0がローレベルの場合には、nチャンネル型MOSトランジスタQ31及びpチャンネル型MOSトランジスタQ32がオンされる。このとき、nチャンネル型MOSトランジスタQ33及びpチャンネル型MOSトランジスタQ34はオフ状態とされる。その場合において、データ線Dの論理がMOSトランジスタQ31, Q32を介してオア回路45へ伝達される。データ線Dがハイレベルの場合には、それは比較データCD0のローレベルとは不一致であり、オア回路45へはハイレベル出力がなされる。それに対して、データ線Dがローレベルの場合には、それは比較データCD0のローレベルと一致し、オア回路45へはローレベル出力がなされる。

【0036】また、比較データCD0がハイレベルの場合には、nチャンネル型MOSトランジスタQ33及びpチャンネル型MOSトランジスタQ34がオンされる。このとき、nチャンネル型MOSトランジスタQ31及びpチャンネル型MOSトランジスタQ32はオフ状態とされる。その場合において、データ線D*の論理がMOSトランジスタQ33, Q34を介してオア回路45へ伝達される。データ線D*がハイレベルの場合、データ線Dはローレベルであることを意味するから、データ不一致を意味し、オア回路45へはハイレベルが出力される。データ線D*がローレベルの場合には、それはデータ線Dがハイレベルであることを意味するから、データ一致により、オア回路45へはローレベル出力がなされる。

【0037】尚、他のピット比較回路についても上記と同様に構成される。

【0038】図3には上記オア回路45の構成例が示される。

【0039】pチャンネル型MOSトランジスタQ21, Q22が並列接続され、pチャンネル型MOSトランジスタQ23, Q24が並列接続される。pチャンネル型MOSトランジスタQ21, Q22, Q23, Q24のソース電極は高電位側電源Vddに結合される。pチャンネル型MOSトランジスタQ21, Q22のドレン電極は、ノードNAを介してnチャンネル型MOSトランジスタQ27～Q29のドレン電極、nチャンネル型MOSトランジスタQ25のゲート電極、及びpチャンネル型MOSトランジスタQ23のゲート電極に接続される。この接続箇所をノードNAと称する。pチャンネル型MOSトランジスタQ23, Q24のドレン電極は、ノードNBを介してpチャンネル型MOSトランジスタQ22のゲート電極、及びnチャンネル型MOSトランジスタQ25のドレン電極に結合される。nチャンネル型MOSトランジスタQ25, Q27, Q28, Q29のソース電極は、nチャンネル型MOSトランジスタQ26を介して低電位側電源Vssに結合される。nチャンネル型MOSトランジスタQ27, Q28, Q29のゲート電極は、それぞれ端子T1, T2, T3を介してピット比較回路61-1, 61-n-1, 61-nの出力端子に結合される。また、nチャンネル型MOSトランジスタQ26のゲート電極は、端子T0を介してピット比較回路61-0の出力端子に結合される。

【0040】端子T0を介して取り込まれた活性化信号φ1がハイレベルのとき、nチャンネル型MOSトランジスタQ26がオンされて、nチャンネル型MOSトランジスタQ25, Q27～Q29のソース電極が低電位側電源Vssに導通されることにより、このオア回路45が活性化される。活性化信号φ1がローレベルの場合には、nチャンネル型MOSトランジスタQ26がオフ

状態とされて、nチャンネル型MOSトランジスタQ25, Q27～Q29のソース電極が低電位側電源Vssに導通されないから、このオア回路45は非活性状態とされる。

【0041】動作を説明する。

【0042】先ず、センスアンプ43の出力信号と、それに対応する比較データCD0～CDnとが完全に一致する場合を考える。この場合、ピット比較回路61-0～61-nの出力信号は全てローレベルとされる。ピット比較回路61-0の出力信号がローレベルとされる場合には、それがインバータ63で論理反転されて得られた活性化信号φ1がハイレベルとされるから、nチャンネル型MOSトランジスタQ26がオンされ、nチャンネル型MOSトランジスタQ25, Q27～Q29のソース電極がnチャンネル型MOSトランジスタQ26を介して低電位側電源Vssに導通されることにより、このオア回路45が活性状態とされる。このとき、ピット比較回路61-1～61-nの出力信号が全てローレベルとされているので、nチャンネル型MOSトランジスタQ27, Q28, Q29がオフ状態とされ、ノードNAはハイレベルとされるから、nチャンネル型MOSトランジスタQ25がオンされ、それにより、ノードNBがローレベルとされる。ノードNBがローレベルの場合、このオア回路45の出力信号OUTもローレベルとなる。オア回路45の出力信号OUTのローレベル出力は、センスアンプ43の出力信号と、それに対応する比較データCD0～CDnとが完全に一致することを示している。

【0043】それに対して、ピット比較回路61-0～61-nのうち、ピット比較回路61-0のみがハイレベルとされる場合には、活性化信号φ1がローレベルとされ、nチャンネル型MOSトランジスタQ26がオフされるから、このオア回路45は非活性状態とされる。活性化信号φ1がローレベルとされる場合、pチャンネル型MOSトランジスタQ24がオンされることで、ノードNBがハイレベルとされることから、出力信号OUTもハイレベルとされる。また、ピット比較回路61-0を除くピット比較回路61-1～61-nのうちの少なくとも一つがハイレベル出力とされる場合には、ノードNAがローレベルとされるから、nチャンネル型MOSトランジスタQ25がオフされ、ノードNAがハイレベルとされるから、このオア回路45の出力信号OUTもハイレベルとされる。オア回路45の出力信号OUTのハイレベルは、センスアンプ43の出力信号と、それに対応する比較データCD0～CDnとが完全には一致しないことを示している。

【0044】そのようにして、センスアンプ43の出力信号と、それに対応する比較データCD0～CDnとが完全に一致する場合と、そうでない場合との判別結果（出力信号OUT）が得られる。

【0045】上記した例によれば以下の作用効果が得られる。

【0046】(1)複数のビット比較回路61-0~61-nのうちの任意の1ビットを除く全てのビットの論理和を得るためのオア回路45が上記任意の1ビットによって活性、非活性が切り換えられるから、タイミング制御のためのクロック信号を特別に形成する必要が無く、上記クロック信号のタイミングマージンも不要となる。しかも、スタティック回路で多ビット比較回路を形成する場合に比べて回路段数を削減することができる。それにより、比較動作の高速化を図ることができる。また、上記上記任意の1ビットによってオア回路45が非活性状態とされている場合には、当該オア回路45での電流消費がほとんどないから、回路の消費電流の低減を図ることができる。

【0047】(2)上記複数のビット比較回路に対応して配置され、且つ、互いに並列接続されたnチャンネル型MOSトランジスタQ27~Q29と、上記nチャンネル型MOSトランジスタのドレイン電極に結合されたベース電極を有するnチャンネル型MOSトランジスタQ25と、それらのソース電極に共通接続された電流源MOSトランジスタQ26とを設け、上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ビットを伝達可能に構成することで、上記オア回路を容易に形成することができる。

【0048】(3)上記のように高速化された多ビット比較回路をキャッシュメモリ10のシノニムチェック適用することにより、キャッシュメモリの高速化を図ることができる。

【0049】(4)そのように高速動作可能なキャッシュメモリ10と、仮想アドレスを物理アドレスに変換するための変換対を格納するアドレス変換バッファ11と、上記キャッシュメモリとアドレス変換バッファとを制御するコントロールユニット12とを含んでマイクロコンピュータ31を構成することにより、命令フェッチなどの時間短縮が可能となり、マイクロコンピュータの演算処理の高速化を図ることができる。

【0050】(5)そのように演算処理の高速化が図られたマイクロコンピュータ31と、バスBUS9を介して上記マイクロコンピュータによってアクセスされるSRAM33とを含んでデータ処理装置を構成することにより、当該データ処理の高速化を図ることができる。

【0051】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0052】例えば、マイクロコンピュータのチップの外部に配置されるようなキャッシュメモリにも本発明を適用することができる。

【0053】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるキャッシュメモリに適用した場合について説明したが、本発明はそれに限定されるものではなく、例えば半導体メモリに書き込まれたパターンデータを読み出して期待値と比較する場合のようなテスト回路など、多ビット論理比較を必要とする回路に広く適用することができる。

【0054】本発明は、少なくとも複数ビットのデータ取り扱うことを条件に適用することができる。

10 【0055】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0056】すなわち、第1データ群と第2データ群とをビット単位で比較するための複数のビット比較回路と、上記複数のビット比較回路からの比較結果のうちの任意の1ビットの論理状態に基づいて活性化され、且つ、活性化された状態で、上記複数のビット比較回路のうちの上記任意の1ビットを除く全てのビットの論理和を得るためのオア回路とを含んで多ビット比較回路を構成することにより、上記複数のビット比較回路からの比較結果のうちの任意の1ビットの論理状態を利用して、オア回路の活性及び非活性の切り換えが可能とされるから、タイミング制御のためのクロック信号を特別に形成する必要が無く、それによって回路の簡略化を図ることができる。そして、タイミング制御のためのクロック信号のマージン設定などが不要とされるから、多ビット比較動作の高速化を図ることができる。

30 【0057】上記複数のビット比較回路に対応して配置され、且つ、互いに並列接続された第1MOSトランジスタと、上記第1MOSトランジスタのドレイン電極に結合されたゲート電極を有する第2MOSトランジスタと、上記第1MOSトランジスタのソース電極、及び上記第2トランジスタのソース電極に共通接続された電流源MOSトランジスタとを設け、上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ビットを伝達可能に構成することで、上記オア回路を容易に形成することができる。

40 【0058】また、上記電流源MOSトランジスタのゲート電極に、上記複数のビット比較回路からの比較結果のうちの任意の1ビットを伝達するためのゲート回路を設けた場合には、活性化信号がアクティブになるタイミングを当該ゲート回路での信号遅延を利用して若干遅らせることができ、複数のビット比較回路からの出力論理が決定された後に、オア回路を活性化することができる。オア回路での誤動作を排除することができる。

【0059】同一物理アドレスのデータが存在するか否かの判別するためのシノニムチェック部を含み、仮想アドレスの情報を検索情報とするキャッシュメモリにおいて

て、上記シノニムチェック部が、シノニムチェックのための情報が記憶されるメモリセルアレイと、上記メモリセルアレイから出力された信号を増幅するためのセンスアンプと、上記センスアンプの出力信号と、比較データとをピット単位で比較するための比較手段とを含んで構成されるとき、上記比較手段として、上記のように高速化された多ビット比較回路を適用することにより、キャッシュメモリの高速化を図ることができる。

【0060】そして、そのように高速動作可能なキャッシュメモリと、仮想アドレスを物理アドレスに変換するための変換対を格納するアドレス変換バッファと、上記キャッシュメモリとアドレス変換バッファとを制御するコントロールユニットとを含んでマイクロコンピュータを構成することにより、命令フェッチなどの時間短縮が可能となり、マイクロコンピュータの演算処理の高速化を達成する。

【0061】さらに、そのように演算処理の高速化が図られたマイクロコンピュータと、バスを介して上記マイクロコンピュータによってアクセスされるメインメモリとを含んでデータ処理装置を構成することにより、データ処理の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかるキャッシュメモリに含まれるシノニムチェック回路における主要部の構成例ブロック図である。

【図2】図1に示される回路に含まれるピット比較回路の構成例回路図である。

【図3】図1に示される回路に含まれるオア回路の構成例回路図である。

【図4】上記シノニムチェック回路の構成例ブロック図である。

【図5】上記シノニムチェック回路を含むキャッシュメモリを内蔵して成るマイクロコンピュータが適用されたコンピュータシステムの構成例ブロック図である。

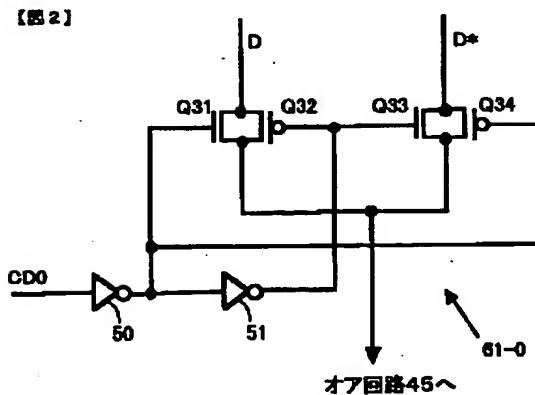
【図6】上記マイクロコンピュータの構成例ブロック図である。

【図7】上記キャッシュメモリの構成例ブロック図である。

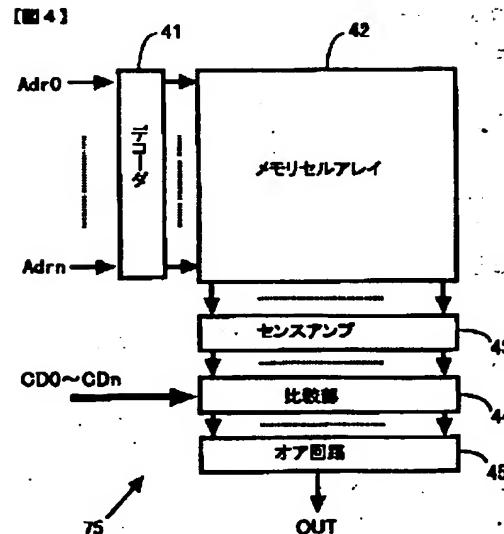
【符号の説明】

10	10 キャッシュメモリ
11	11 アドレス変換バッファ
12	12 コントロール回路
13	13 周辺モジュール
31	31 マイクロコンピュータ
32	32 SDRAM
33	33 SRAM
34	34 ROM
35	35 周辺装置制御部
36	36 表示制御部
38	38 外部記憶装置
40	40 キーボード
41	41 デコーダ
42	42 メモリセルアレイ
43	43 センスアンプ
44	44 比較部
45	45 オア回路
61-0	61-0 ~ 61-n ピット比較回路
63	63 インバータ
72	72 タグ部
73	73 データ部
74	74 比較部
75	75 シノニムチェック部

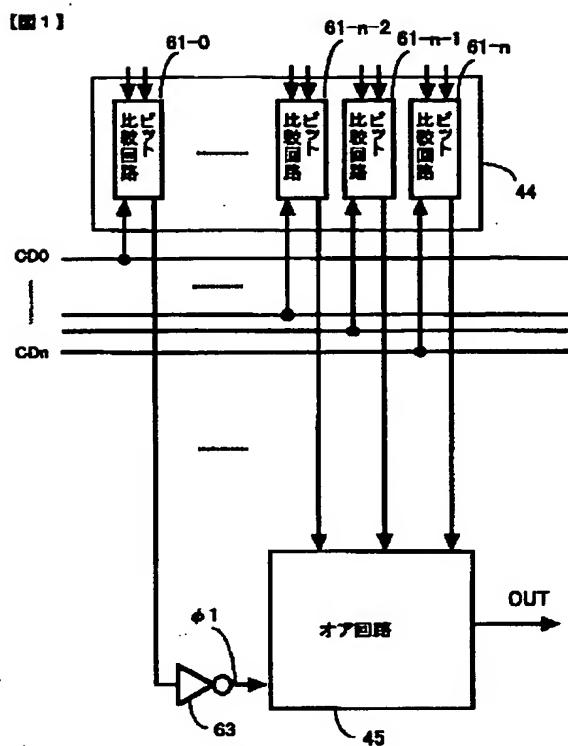
【図2】



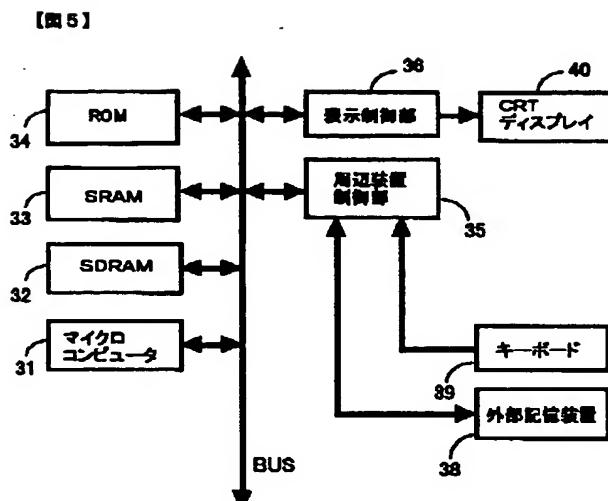
【図4】



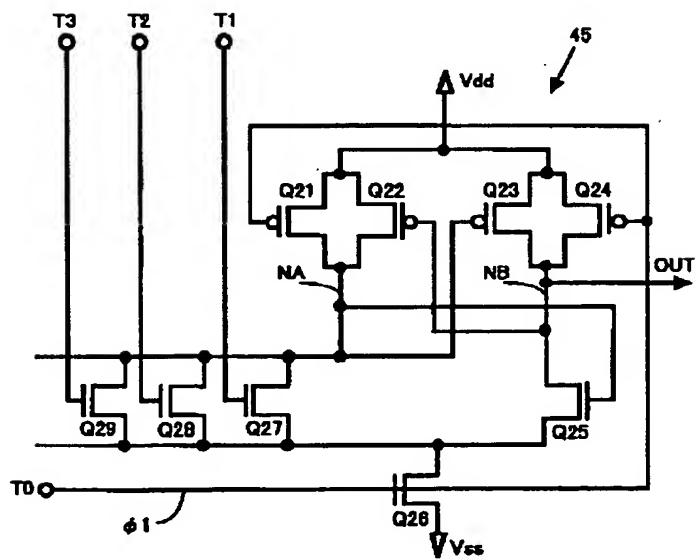
【図1】



【図5】



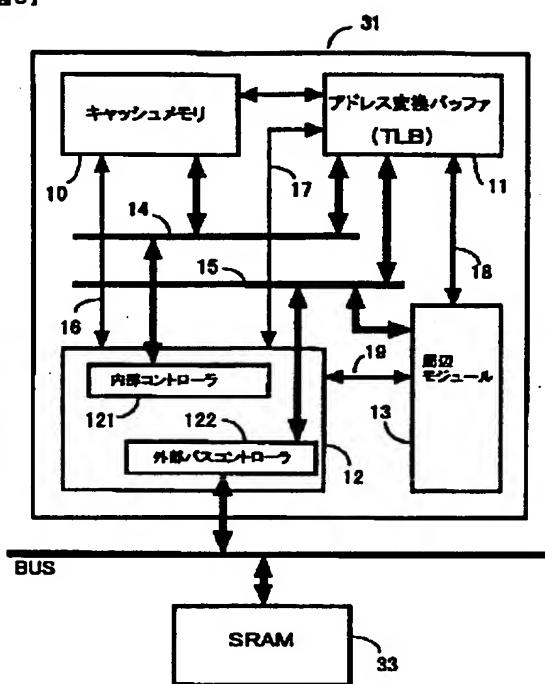
【図3】



【図6】

【図6】

【図6】



【図7】

【図7】

